

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-226949

⑮ Int.Cl.<sup>4</sup>  
H 01 L 27/04

識別記号 庁内整理番号  
7514-5F

⑬ 公開 昭和61年(1986)10月8日

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭60-67031

⑰ 出 願 昭60(1985)3月30日

⑱ 発 明 者 沢 田 静 雄 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
⑳ 代 理 人 弁理士 鈴 江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) フィールド酸化膜上に設けられた、入力保護回路を構成する導電層上に外部信号の入力端子との初段のコンタクト部が存在する半導体装置において、前記フィールド酸化膜と導電層との間に保護膜を設け、少なくとも導電層と入力端子との初段のコンタクト部の下方に前記保護膜が存在するようにしたことを特徴とする半導体装置。

(2) 保護膜が多結晶シリコン膜であることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 導電層と保護膜となる多結晶シリコン膜とが等電位となるように接続されたことを特徴とする特許請求の範囲第2項記載の半導体装置。

(4) 半導体基板表面にフィールド酸化膜を形成する工程と、任意の酸化膜をエッチングする工程より以前に前記フィールド酸化膜上に保護膜を形

成する工程と、該保護膜の上部に入力保護回路を構成する導電層を形成する工程と、全面に層間絶縁膜を堆積した後、前記導電層上部で、かつ保護膜の上方の部分を選択的にエッチングしてコンタクトホールを開孔する工程と、全面に配線材料を堆積した後、前記導電層を入力端子に接続する配線を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体装置及びその製造方法に関し、特に入力保護回路の改良に係る。

(発明の技術的背景)

従来の入力保護回路の一例を第3図に示す。第3図に示す如く、入力ピンは多結晶シリコンからなる抵抗配線1に接続され、次にアルミフィールドトランジスタ2のゲート及びドレインに接続され、更に内部回路に接続される。

このような入力保護回路の具体的な構造は第4図に示すようなものである。第4図において、P

型シリコン基板 11 の表面にはフィールド酸化膜 12 が形成されている。フィールド酸化膜 12 に囲まれた素子領域には N+ 型ソース、ドレイン領域 13、14 が形成されている。

また、一部のフィールド酸化膜 12 の上部には多結晶シリコンからなり、入力保護回路を構成する抵抗配線 15 が形成されている。

また、全面には層間絶縁膜 16 が堆積されており、所定位置にコンタクトホールが開孔されている。この層間絶縁膜 16 上には入力ピンと抵抗配線 15 とを接続する A 2 配線 17、抵抗配線 15 とアルミフィールドトランジスタのドレイン領域 14 とを接続し、ゲート電極となり、更に内部回路と接続される A 2 配線 18 及びソース領域 13 と基板の一部 11' とを接続し、更にアース電極に接続される A 2 配線 19 が形成されている。

上記入力保護回路において、入力ピンからマイナス電圧が印加された場合には、ドレイン領域 14 - 基板 11 間の N+ P 接合が順バイアスされるため、電子は基板 11 中でホールと再結合した

り、アース電極へ流れ出したりして消失する。

一方、入力ピンからプラス電圧が印加された場合には、トランジスタ 2 がオン状態となり、ホールがトランジスタを通してアース電極へ流れてしまう。

上述したような従来の入力保護回路では、アルミフィールドトランジスタ 2 のチャネル幅を広くしたり、N+ 拡散層の接合深さを深くする等の対策により、入力保護耐圧をかなりの程度まで向上させることが可能である。

〔背景技術の問題点〕

しかし、上述したように従来の入力保護回路のトランジスタ部分を改良した場合、最終的に破壊が発生するのは、抵抗配線 15 と基板 11 との間の領域（第 4 図中 X で表示）であることが判明した。この原因を調べると、電流がフィールド酸化膜 12 を介して基板 11 へパスすることによるものであることがわかった。これを更に、詳細に説明するために、X の部分を含む等価回路について考察する。この部分の等価回路は、単純には酸化

3

膜と P N 接合の直列構造と考えられ、第 5 図で示される。なお、酸化膜の膜厚は第 4 図中 T で示すフィールド酸化膜の膜厚となる。

第 5 図に示す等価回路について、入力ピンにプラス電圧又はマイナス電圧を印加した場合にフィールド酸化膜により形成されるコンデンサに印加される電圧をみつもと以下になる。なお、フィールド酸化膜 12 の容量を  $C_1$ 、基板 11 - ソース領域 13 間の接合容量を  $C_2$  とする。

まず、入力ピンにマイナス電圧が印加された場合には、P N+ 接合は逆バイアスとなり、空乏層がのびて容量  $C_2$  は小さくなる。

一方、入力ピンにプラス電圧が印加された場合には、P N+ 接合は順バイアスとなり、容量  $C_2$  が大きくなる。この場合、入力ピンに印加される電圧を  $V_A$  としてフィールド酸化膜 12 を構成要素とするコンデンサ  $C_1$  にかかる電圧  $V_0$  を計算すると、

4

$$V_0 = V_A \times \frac{C_2}{C_1 + C_2} = V_A \times \frac{1}{\frac{C_1}{C_2} + 1} \dots\dots ①$$

となる。この①式から明らかなように、容量  $C_2$  が小さい場合、すなわち入力ピンにマイナス電圧が印加されている場合には、フィールド酸化膜 12 には小さな電圧しかかからず問題は生じない。ところが、入力ピンにプラス電圧が印加されると  $C_2$  が大きくなり、フィールド酸化膜 12 には大きな電圧がかかって問題が生じることになる。つまり、入力ピンにプラス電圧を印加して入力保護耐圧を評価すると、抵抗配線 15 と基板 11 との間の領域で破壊現象が発生することが説明できる。

また、フィールド酸化膜を選択酸化法により形成した場合、いわゆるパーズピークが発生するため、素子の微細化に対して障害となる。そこで、微細化を進めるためには、パーズピークを抑えるためにフィールド酸化膜の膜厚を薄くする必要がある。しかも、フィールド酸化膜は基板表面に形成された例えばゲート酸化膜をエッチングする際

5

6

に同時にエッチングされるため、その膜厚はますます薄くなる。この結果、フィールド酸化膜12のX領域で電界強度が大きくなり、X領域での破壊が発生し易くなるため、入力保護回路部の耐圧が劣化する。

#### 〔発明の目的〕

本発明は上記事情を考慮してなされたものであり、入力保護回路の耐圧を向上させた半導体装置及びそのような半導体装置を簡便に製造し得る方法を提供しようとするものである。

#### 〔発明の概要〕

本願第1の発明の半導体装置は、フィールド酸化膜と導電層との間に保護膜を設け、少なくとも入力保護回路を構成する導電層と入力端子との初段のコンタクト部の下方に前記保護膜が存在するようにしたことを特徴とするものである。

また、本願第2の発明の半導体装置の製造方法は、半導体基板表面にフィールド酸化膜を形成する工程と、任意の酸化膜をエッチングする工程より以前に前記フィールド酸化膜上に保護膜を形成

する工程と、該保護膜の上部に入力保護回路を構成する導電層を形成する工程と、全面に層間絶縁膜を堆積した後、前記導電層上部で、かつ保護膜の上方の部分を選択的にエッチングしてコンタクトホールを開孔する工程と、全面に配線材料を堆積した後、前記導電層を入力端子に接続する配線を形成する工程とにより本願第1の発明の半導体装置を製造するものである。

こうした本願発明によれば、フィールド酸化膜上に設けられた保護膜によりフィールド酸化膜の膜厚が減少するのを防止することができ、入力保護回路を構成する導電層と入力端子との初段のコンタクト部の下部のフィールド酸化膜の耐圧を向上することができるので、入力保護回路全体の耐圧を向上することができる。

#### 〔発明の実施例〕

以下、本発明の実施例を第1図(a)～(d)及び第2図を参照し、製造方法を併記して説明する。なお、図示しないが、内部回路として例えばダイナミックRAMのメモリセルを形成するものとし

7

て説明する。

まず、P型シリコン基板21表面に膜厚1000Åのバッファ酸化膜22を形成した後、全面に膜厚1000Åのシリコン窒化膜23を堆積する。次に、写真蝕刻法により素子領域となる部分にレジストパターン24を形成する(第1図(a)図示)。

次いで、レジストパターン24をマスクとして露出したシリコン窒化膜23をエッチングする。つづいて、レジストパターン24を除去した後、残存しているシリコン窒化膜23をマスクとして露出しているバッファ酸化膜22をエッチングし、更に基板21の一部をエッチングする。つづいて、残存しているシリコン窒化膜23をマスクとして選択酸化を行ない、フィールド酸化膜25を形成した後、残存しているシリコン窒化膜23及びバッファ酸化膜22を除去する。つづいて、熱酸化を行ない露出している基板21表面にキャパシタの絶縁膜として用いられる膜厚500Åの第1の熱酸化膜26を形成する。つづいて、全面にキャパシタ電極として用いられる膜厚4000

8

Åの第1層多結晶シリコン膜を堆積した後、不純物を拡散して低抵抗化する。つづいて、第1層多結晶シリコン膜をパターニングしてフィールド酸化膜25上に多結晶シリコン膜パターン(保護膜)27を形成する(同図(b)図示)。

次いで、全面にキャパシタ電極上の層間絶縁膜となる膜厚約2000ÅのCVD酸化膜28を堆積した後、パターニングして前記多結晶シリコン膜パターン27を覆うようにCVD酸化膜28を残存させる。この際、第1の熱酸化膜26も除去される。つづいて、熱酸化を行ない、露出している基板21表面にトランスファートランジスタのゲート酸化膜となる図示しない第2の熱酸化膜を形成する。つづいて、全面にトランスファートゲートとして用いられる第2層多結晶シリコン膜を堆積した後、不純物を拡散して低抵抗化する。つづいて、第2層多結晶シリコン膜をパターニングして多結晶シリコン膜パターン27を覆うCVD酸化膜28上に入力保護回路用の抵抗配線29を形成する。つづいて、露出している第2の熱酸化膜を

9

10

除去した後、基板21の所定領域を覆う図示しないレジストパターンを形成し、このレジストパターン、ゲート電極及びフィールド酸化膜25をマスクとしてヒ素をイオン注入する。つづいて、レジストパターンを除去した後、900℃でアニールしてアルミフィールドトランジスタのN<sup>+</sup>型ソース、ドレイン領域30、31を形成する(同図(c)図示)。

次いで、全面に層間絶縁膜となるCVD酸化膜32を堆積する。つづいて、CVD酸化膜32及びCVD酸化膜28の所定部分を選択的にエッチングしてコンタクトホールを開孔する。この際、抵抗配線29上に設けられる入力端子との初段のコンタクト部は多結晶シリコン膜パターン27の上方に位置するようにコンタクトホールを開孔する。つづいて、全面にAlを蒸着した後、パターニングして入力ピンと保護膜である多結晶シリコン膜パターン27及び抵抗配線29とを接続するAl配線33、抵抗配線29とアルミフィールドトランジスタのドレイン領域31とを接続し、

11

なお、上記実施例では、フィールド酸化膜上に形成する保護膜を多結晶シリコン膜パターンとしたが、例えばCVD酸化膜等の絶縁膜としてもよい。また、上記実施例では保護膜となる多結晶シリコン膜パターン上にCVD酸化膜を形成し、その上に抵抗配線を形成したが、多結晶シリコン膜パターン上に直接抵抗配線を形成してもよい。

更に、上記実施例では入力ピンからの配線の初段のコンタクトを多結晶シリコン膜パターン及び抵抗配線の両者でとったが、多結晶シリコン膜パターンはフローティング状態としてもよい。

#### 〔発明の効果〕

以上詳述した如く本発明によれば、入力保護回路の耐圧を向上させた半導体装置及びそのような半導体装置を簡単に製造し得る方法を提供できるものである。

#### 4. 図面の簡単な説明

第1図(a)～(d)は本発明の実施例における入力保護回路を得るために製造工程を示す断面図、第2図は同入力保護回路の一部の等価回路図、第

3図は入力保護回路の回路図、第4図は従来の入力保護回路の断面図、第5図は同入力保護回路の一部の等価回路図である。

なお、このようにして形成された入力保護回路において、抵抗配線29と基板21との間の領域を含む等価回路は第2図に示すようなものである。

しかして本願発明によれば、第2図(b)の工程で多結晶シリコン膜パターン27を設けることにより、第1の熱酸化膜26等の任意の酸化膜をエッチングする際に、フィールド酸化膜25の膜厚が減少するのを防止することができる。このため、入力端子と抵抗配線29との初段のコンタクト部の下方のフィールド酸化膜25は厚い膜厚を維持することができる。したがって、この領域のフィールド酸化膜25での電界強度を小さくすることができ、破壊現象を防止して入力保護耐圧を向上することができる。

12

3図は入力保護回路の回路図、第4図は従来の入力保護回路の断面図、第5図は同入力保護回路の一部の等価回路図である。

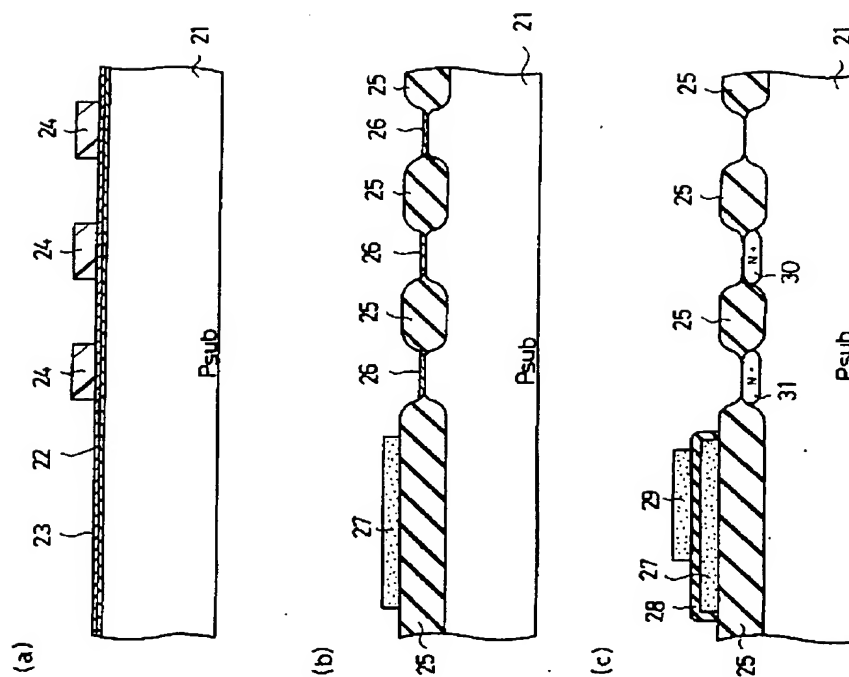
21…P型シリコン基板、22…バッファ酸化膜、23…シリコン窒化膜、24…レジストパターン、25…フィールド酸化膜、26…第1の熱酸化膜、27…多結晶シリコン膜パターン(保護膜)、28…CVD酸化膜、29…抵抗配線、30、31…N<sup>+</sup>型ソース、ドレイン領域、32…CVD酸化膜、33、34、35…Al配線。

出願人代理人 弁理士 鈴江 武彦

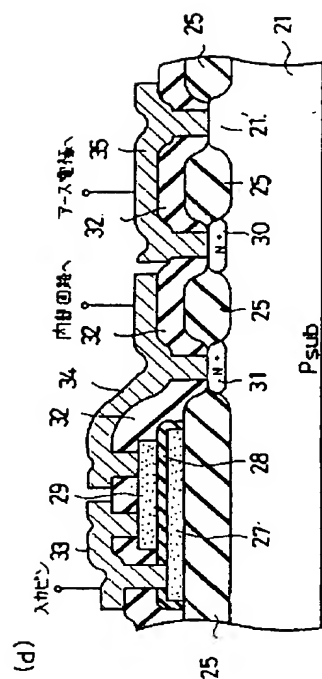
13

14

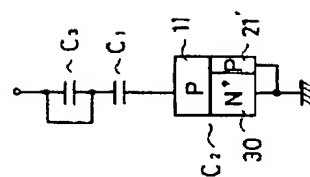
四  
一  
城



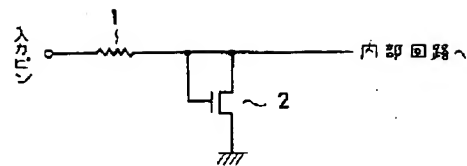
四一五



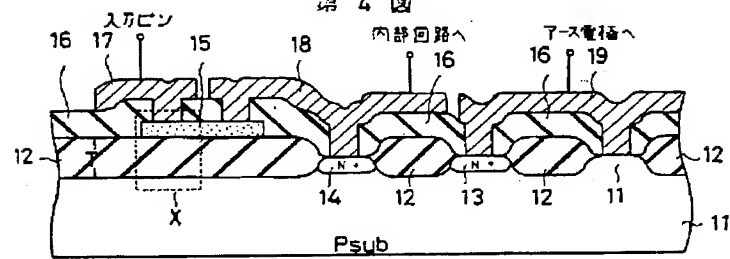
25



第 3 図



第 4 図



第 5 図

